國研院台灣半導體研究中心
電路設計、晶片製作及先進封裝服務平台

壹、 晶片設計及驗證環境

為支援高效能晶片(HPC)設計研發，TSRI 提供關鍵矽智財(Silicon IP)、虛擬驗證環境以及雛形驗證環境予學界研發團隊使用。

1. 關鍵矽智財
   (1). 運算處理器
   - ANDES 及 Synopsys RISC-V 指令集處理器核心：包含 Application Processor、Micro Controller與DSP Processor
   - Arm 處理器核心：Cortex-A55 、Cortex-M55 以及 Arm Academic Access大學專案可取得的所有處理器核心 (https://www.arm.com/resources/research/enablement/academic-access)
   - AI加速電路：Arm、Synopsys以及ANDES等廠商之AI加速電路，詳細清單請洽TSRI

   (2). 晶片內互聯電路
   - Arm CORELINK CMN(Coherent Mesh Network)

   (3). 晶片間互聯電路
   - UCIE(評估中，引進時間未定)

   (4). 高頻寬記憶體控制電路
   - LPDDR5、HBM(與國內DRAM廠商洽談中，引進時間未定)

   (5). 高速周邊電路
   - MIPI/Parallel影像輸入、HDMI影像輸出(外掛轉接晶片)、PCIE(評估中，引進時間未定)

   (6). Foundation IP
   - 7nm/16nm PLL
   - 7nm/16nm 高速標準元件庫及記憶體產生器

2. 虛擬驗證環境

TSRI將基於Synopsys Platform Architect/Virtualizer，建立虛擬驗證環境，關鍵矽智產的模型，包含Neoverse系列、Cortex-A系列與Cortex-M系列CPU以及Arm CORELINK CMN、CCI與NIC。

3. 雛型驗證環境

TSRI持續提供Synopsys HAPS FPGA雛形驗證環境使用服務。在完整HPC驗證方面，由於HPC系統晶片完整電路極為龐大複雜，學界團隊如有需要，TSRI可提供 Synopsys Zebu emulator，以利團隊進行軟硬體偕同驗證。

貳、 前瞻製程服務及設計平台

TSRI 建置台積電(TSMC) 7 nm、16 nm FinFET 製程設計平台，提供包含數位/類比/RF/混合訊號等電路設計環境與設計套件，並配合本中心晶片實作服務提供 TSMC 7 nm、16 nm FinFET 製程及 TSMC 28 nm HPC+ 製程晶片實作服務，亦可配合研究團隊之需求提供獨立梯次 16 nm/28 nm之shuttle 給予研究團隊進行晶片製作。在 16nm/28 nm 製程 shuttle 可額外提供 Flip Chip 選項之自費晶片下線與DRC驗證技術諮詢。特殊製程方面，除了提供 TSMC 0.5 μm 12V/650V GaN 製程，可用於高功率變壓器、充電器與逆變器 IC 模組的設計外，針對高度電源整合應用設計安案，亦提供TSMC 0.18um 及 0.13um BCD製程，同時也針對感測器需求規劃導入壓電（PiezoPZT、PiezoScAlN）等製程。參考 114 年 TSMC shuttle 時程與 TSRI 年度常規梯次，將可依照經費與團隊需求規劃晶片實作服務，如下表所示。

製程常規梯次列表

製程種類	年度常規梯次
TSMC 7 nm (TN7)	2
TSMC 16 nm (TN16FFC)	4
TSMC 28 nm (TN28HPCplu)	4
TSMC 0.13 μm BCD (T13HVplus)	2

TSMC 0.18 μm BCD (T18HVG2)	3
TSMC 0.5 μm GaN (T50GaN) *	2
PiezoPZT*、PiezoScAlN *	2
*提供之Foundry與實作服務梯次數待確定	

提供 7nm/16nm 電磁模擬所需之iRCX(.proc)檔案與設計環境，協助學術界開發太赫茲(subTHz)電路，並同時提供下線驗證服務與技術諮詢，加速設計定案(Tape-out)時程。

參、 異質整合晶片及封裝平台

TSRI將使用8吋異質整合先進封裝晶片技術平台以協助國內學研團隊進行2.5D/3D晶片系統整合開發。技術平台包含晶片級microbump、CMOS active interposer及CoCoB (Chip on Chip on PCB)等關鍵技術，整合技術可支援邏輯、記憶體、光電、感測、電源管理等不同晶片類別，並提供EDA設計、TSV/RDL模型、佈局驗證與封裝模擬之完整環境。TSRI可提供學術界異質整合先進封裝晶片技術及諮詢服務包含：

1. 晶片與2.5D主動中介層和電路板整合設計諮詢，提供學術團隊中介層與電路板(PCB)打線(wire bond)/覆晶對接技術文件、技術諮詢及製作服務。
2. 晶片級micro bump技術：提供50-μm間距之晶片級micro bump及覆晶對接技術，除提升穩定度外，也持續評估更小間距的晶片級micro bump技術。
3. CMOS主動interposer技術：提供感測、AI、RF、電源管理和記憶體等不同晶片在中介層需要多層金屬線的繞接及模擬。為提供更高密度TSV，將繼續微縮TSV直徑，開發驗證深寬比10之TSV，並朝更多RDL層、低金屬線阻值及高穩定度努力。
4. 晶片級2.5D封裝(CoCoB)：結合2.5D矽穿孔中介層製作及micro bump技術，提供以Chip on Chip on Board之垂直堆疊方式進行晶片級2.5D整合封裝。

5. 矽光子異質整合平台SP-CoCoB（Silicon Photonics Chip-on-Chip-on-Board），透過矽光子PIC、電子IC與高密度光電基板的垂直堆疊整合，提供短距離、低能耗的高速電光轉換能力。此平台支援高速鏈路，可整合ASIC和矽光子調變器、光檢測器、光被動元件以及SiN低損耗邊緣耦合器，並評估III–V與薄膜LNO整合技術，是面向未來AI晶片與CPO整合的重要關鍵技術。
6. 異質封裝先進封裝EDA環境：提供micro bump及CMOS backside TSV的DC/RF SPICE模型，結合CMOS 中介層中的金屬及Via特性提供先進異質封裝驗證EDA環境，讓使用者在進行異質整合封裝前即可進行模擬，來確認整合後的特性是否符合規格。此外亦提供3D堆疊驗證所需之DRC/LVS command files，讓使用者可以驗證堆疊佈局設計之正確性。

肆、 先進晶片製造服務平台

先進晶片製造服務平台包含有新穎元件結構及通道材料、新興記憶體元件製程、先進關鍵製程模組、元件特性量測驗證、原子級元件結構影像及微量元素分析等五個技術服務。TSRI 可提供學術界先進晶片製造技術及諮詢服務包含：

1. 新穎元件結構及通道材料：TSRI推動新材料元件與先進電晶體技術建置，提供氧化物半導體（InO、IGZO、IGO）通道的沉積與製程控制，以及適用 GAA 結構的蝕刻與通道釋放技術。同時建置高密度電晶體平台，涵蓋 NS-FET/CFET 所需的 Si/Ge/SiGe 多層通道磊晶與選擇性蝕刻、SOI-BSPND 異質鍵合與晶背供電製程，並提供 3D 電晶體所需的低熱預算雷射結晶、活化與金屬矽化/鍺化製程，以支援異質整合與先進元件開發。
2. 新興記憶體元件製程服務：本平台提供新興記憶體與半導體製程所需高品質薄膜材料，包括多種 PVD（金屬與金屬氧化物 ≤20/50 nm）及 ALD（HfO_2、Al_2O_3、$HfZrO_2$ ≤10 nm）薄膜製程；同時可在八吋晶圓上進行後段記憶體與金屬連導線製程，支援產學研元件開發。
3. 先進製造關鍵模組：本平台整合先進蝕刻、微影與金屬連線製程技

術，涵蓋金屬閘極、導線與介電質接觸孔之微縮開發；提供多層曝光、OPC 修正與奈米金屬 lift-off 等完整微影能力，以提升解析度與圖形精準度。具備高解析多層曝光、5/6 吋光罩製作、45 nm 以下電子束直寫與 50 nm 以下接觸孔對準，並可進行 wafer-to-chip 混搭曝光。

4. 元件特性量測驗證：TSRI提供元件與電路的高頻、雜訊、一般及低溫電性量測，是先進晶片與低功耗技術開發的基礎。服務包括 20×20 mm 晶片的 I-V、C-V、1/f noise、Noise Figure 及 S 參數量測；On-wafer 4K 低溫平台支援多組 RF/DC 探針；PCB 4K 低溫平台則可測試打線或封裝樣品的 DC、S 參數、Noise Figure 與 Phase Noise，全方位支援學研元件與電路分析。
5. 原子級元件結構影像及微量元素技術平台：TSRI建置「原子級元件結構影像及微量元素技術平台」，整合 Cs-STEM、APT 與 XPS/UPS/IPES 三大系統，提供原子結構、三維組成與能帶特性分析。Cs-STEM（0.78 Å）可觀察介面原子排列與缺陷，APT 提供原子級三維組成解析，XPS/UPS/IPES 可量測能隙、價帶、導帶與功函數，形成先進材料與元件開發的核心驗證平台，促進學研與產業技術合作。